

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011665

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G11C 14/00
G11C 11/22

(21)Application number : 10-175959

(71)Applicant : TOSHIBA CORP

TOSHIBA MICROELECTRONICS
CORP

(22)Date of filing : 23.06.1998

(72)Inventor : OKUWADA HISAMI

SHIMIZU MITSURU

KAMATA HIDEYUKI

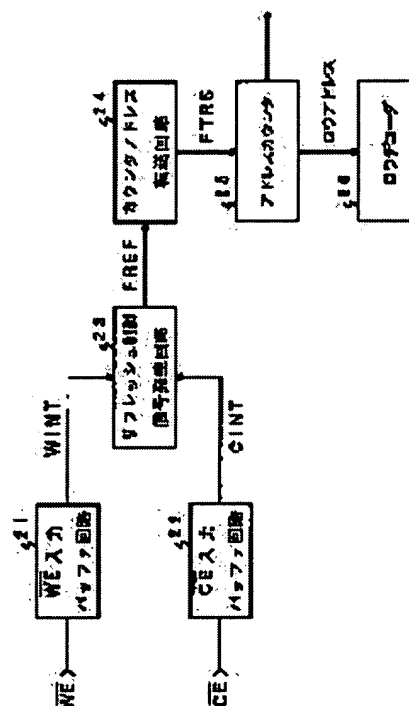
MOCHIZUKI HIROSHI

(54) FERROELECTRIC MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the generation of problem of imprint of an FRAM cell and prevent soft errors from occurring by introducing a refreshing operation for a memory cell of the FRW.

SOLUTION: In an FRAM, a refreshing control circuit system (23, 24, 25, 26) is provided to control a refreshing operation which sequentially performs a data readout operation for selecting an arbitrary memory cell in a memory cell array 10 at a timing based on an external control signal (/WE before /CE) and reading out binary data from the selected cell, an opposite data writing operation for writing data having a logic level opposite to that of the read binary data into the selected cell, and an identical data writing operation for rewriting binary data having the same logic level as the read data into the selected cell.



LEGAL STATUS

[Date of request for examination] 25.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the ferroelectric random-access memory equipped with the memory cell array which comes to arrange a ferroelectric memory cell in the shape of a matrix The memory cell of the arbitration in said memory cell array is chosen as predetermined timing. The opposite data write-in actuation whose logical level data-read-out-operate and writes opposite data in said selection cel with the read binary data which read binary data from the selection cel concerned, Ferroelectric random-access memory characterized by providing the refresh control circuit controlled to perform same data write-in actuation which writes again the binary data of the same logical level as said read data in said selection cel as a series of refresh actuation.

[Claim 2] It is the ferroelectric random-access memory characterized by controlling to perform said refresh actuation after predetermined elapsed time from the completion point in time of write-in actuation in every usual data write-in actuation to the memory cell as which said refresh control circuit was chosen in ferroelectric random-access memory according to claim 1.

[Claim 3] It is the ferroelectric random-access memory characterized by controlling so that said refresh control circuit performs said refresh actuation in ferroelectric random-access memory according to claim 1 at the time of the standup of supply voltage.

[Claim 4] It is the ferroelectric random-access memory characterized by controlling so that said refresh control circuit performs said refresh actuation in ferroelectric random-access memory according to claim 1 at the time of falling of supply voltage.

[Claim 5] The memory cell array which comes to arrange the ferroelectric memory cell which comes to connect the transistor for a switch with the capacitor for binary data storage which used the ferroelectric for inter-electrode at a serial in the shape of a matrix, The word line by which common connection was made at the gate of the transistor for a switch of the memory cell of the same line in said memory cell array, The plate line by which common connection was made at the plate electrode of the capacitor of the memory cell of the same line in said memory cell array, The bit line by which common connection was made at the end of the transistor for a switch of the memory cell of the same train in said memory cell array, The low decoder which chooses and drives said word line, and the plate line drive circuit which chooses and drives said plate line, The sense amplifier formed corresponding to each column of said memory cell array, The column selector gate connected to said bit line, and the column decoder which decodes a column address signal, and chooses and drives said column selector gate, The data read-out actuation which chooses the memory cell of the arbitration in said memory cell array as predetermined timing, and reads binary data from the selection cel concerned to it, The opposite data write-in actuation whose logical level writes opposite data in said selection cel with the read binary data, Ferroelectric random-access memory characterized by providing the refresh control circuit controlled to change a selection train and to repeat the refresh actuation which performs same data write-in actuation which writes again the binary data of the same logical level as said read data in said selection cel as a single string.

[Claim 6] In ferroelectric random-access memory according to claim 5 said refresh control circuit The

data read-out actuation which reads binary data from the memory cell chosen by choosing the line and train of arbitration in said memory cell array as predetermined timing, The opposite data write-in actuation whose logical level writes opposite data in said selection cel with the read binary data, Ferroelectric random-access memory which changes a selection train for the refresh actuation which performs same data write-in actuation which writes again the binary data of the same logical level as said read data in said selection cel one by one as a single string, and is repeatedly characterized by controlling to change and repeat a selection line further.

[Claim 7] In ferroelectric random-access memory according to claim 5 or 6 said refresh control circuit The refresh control signal generating circuit which generates a refresh control signal based on the control signal to input from the outside, The counter address transfer circuit which generates a predetermined pulse signal in response to said refresh control signal, The address counter which starts count actuation in response to said pulse signal, generates a refresh address signal, and supplies the row address signal of the above-mentioned refresh address signals to said low decoder, The column address transition detecting circuit where it is prepared in in order to detect transition of said column address signal, and propriety of operation is controlled by the predetermined control signal, The data-line buffer propriety of operation is controlled by the detection output signal of said column address transition detecting circuit, and deliver and receive data between said sense amplifiers through said column selector gate, Read-out and the write-in data line connected to said data-line buffer, Connect with said read-out and write-in data line, and actuation is controlled by said refresh control signal. The cell data read from said memory cell array to the read-out data line of said read-out and write-in data lines is incorporated. The reverse data transfer circuit which transmits the reverse data which have reverse level with the binary level to the write-in data line of said read-out and write-in data lines, Connect with said read-out and write-in data line, and actuation is controlled following actuation of said reverse data transfer circuit. Ferroelectric random-access memory characterized by providing the former data transfer circuit which transmits the former data which have reverse level with the binary level of said reverse data to the write-in data line of said read-out and write-in data lines.

[Claim 8] It is the ferroelectric random-access memory characterized by to generate said refresh control signal when the internal signal generated based on the control signal input / CE for permitting actuation of the internal signal generated based on a control signal input for said refresh control signal generating circuit to permit write-in actuation in ferroelectric random-access memory according to claim 7 / WE and a chip is received and those internal signals are activated in predetermined sequence.

[Claim 9] It is the ferroelectric random-access memory characterized by controlling to perform said refresh actuation to the timing on ferroelectric random-access memory according to claim 5 and based on an external control signal in said refresh control circuit.

[Claim 10] It is the ferroelectric random-access memory characterized by controlling to perform said refresh actuation after predetermined elapsed time from the completion point in time of write-in actuation in every usual data write-in actuation to the memory cell as which said refresh control circuit was chosen in ferroelectric random-access memory according to claim 5.

[Claim 11] It is the ferroelectric random-access memory characterized by controlling so that said refresh control circuit performs said refresh actuation in ferroelectric random-access memory according to claim 5 at the time of the standup of supply voltage.

[Claim 12] It is the ferroelectric random-access memory characterized by controlling so that said refresh control circuit performs said refresh actuation in ferroelectric random-access memory according to claim 5 at the time of falling of supply voltage.

[Claim 13] Ferroelectric random-access memory which carries out impressing the pulse of the pulse width which is mutually different from each other in the data read-out actuation and the opposite data write-in actuation in said refresh actuation to said plate line, and performing it for the description to claim 9 thru/or any 1 term of 12 in the ferroelectric random-access memory of a publication.

[Claim 14] Ferroelectric random-access memory characterized by impressing a pulse with long pulse width to said plate line, and performing opposite data write-in actuation rather than the data read-out actuation in said refresh actuation in ferroelectric random-access memory according to claim 13.

[Claim 15] Ferroelectric random-access memory which carries out the description for impressing a pulse with long pulse width to said plate line, and carrying out same data write-in actuation to claim 9 thru/or any 1 term of 12 in the ferroelectric random-access memory of a publication rather than the opposite data write-in actuation in said refresh actuation.

[Claim 16] Ferroelectric random-access memory which carries out impressing a pulse with pulse width longer than the usual data write-in actuation to said plate line, and performing the data read-out actuation and the opposite data write-in actuation in said refresh actuation for the description to claim 9 thru/or any 1 term of 12 in the ferroelectric random-access memory of a publication.

[Claim 17] Ferroelectric random-access memory characterized by repeating the opposite data write-in actuation in said refresh actuation in claim 9 thru/or any 1 term of 12 two or more times, and carrying it out to it in the ferroelectric random-access memory of a publication.

[Claim 18] Ferroelectric random-access memory characterized by performing the data read-out actuation and the opposite data write-in actuation in said refresh actuation where bias potential is applied in ferroelectric random-access memory given in claim 9 thru/or any 1 term of 12.

[Translation done.]

(2)

特開2000-11665

1

2

【特許請求の範囲】

【請求項1】 強誘電体メモリセルを行列状に配置してなるメモリセルアレイを備えた強誘電体メモリにおいて、

所定のタイミングに前記メモリセルアレイにおける任意のメモリセルを選択して、当該選択セルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記選択セルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値データを前記選択セルに再び書き込む同一データ書き込み動作を一連のリフレッシュ動作として行うように制御するリフレッシュ制御回路を具備することを特徴とする強誘電体メモリ。

【請求項2】 請求項1記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、選択されたメモリセルに対する通常のデータ書き込み動作毎に書き込み動作の完了時点から所定の経過時間後に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項3】 請求項1記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、電源電圧の立ち上がり時に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項4】 請求項1記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、電源電圧の立ち下がり時に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項5】 強誘電体を電極間に用いた二値データ記憶用のキャパシタに直列にスイッチ用トランジスタが接続されてなる強誘電体メモリセルを行列状に配置してなるメモリセルアレイと、

前記メモリセルアレイにおける同一行のメモリセルのスイッチ用トランジスタのゲートに共通接続されたワード線と、

前記メモリセルアレイにおける同一行のメモリセルのキャパシタのプレート電極に共通接続されたプレート線と、

前記メモリセルアレイにおける同一列のメモリセルのスイッチ用トランジスタの一端に共通接続されたビット線と、

前記ワード線を選択して駆動するロウデコーダと、

前記プレート線を選択して駆動するプレート線駆動回路と、

前記メモリセルアレイの各カラムに対応して設けられたセンスアンプと、

前記ビット線に接続されたカラム選択ゲートと、

カラムアドレス信号をデコードして前記カラム選択ゲートを選択して駆動するカラムデコーダと、

10

20

30

40

50

所定のタイミングに、前記メモリセルアレイにおける任意のメモリセルを選択して当該選択セルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記選択セルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値データを前記選択セルに再び書き込む同一データ書き込み動作を一連として行うリフレッシュ動作を選択列を変えて繰り返すように制御するリフレッシュ制御回路とを具備することを特徴とする強誘電体メモリ。

【請求項6】 請求項5記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、所定のタイミングに、前記メモリセルアレイにおける任意の行および列を選択することによって選択したメモリセルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記選択セルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値データを前記選択セルに再び書き込む同一データ書き込み動作を一連として順次行うリフレッシュ動作を、選択列を変えて繰り返し、さらに選択行を変えて繰り返すように制御することを特徴とする強誘電体メモリ。

【請求項7】 請求項5または6記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、外部から入力する制御信号に基づいてリフレッシュ制御信号を発生するリフレッシュ制御信号発生回路と、前記リフレッシュ制御信号を受けて所定のパルス信号を生成するカウンタアドレス転送回路と、

前記パルス信号を受けてカウント動作を開始し、リフレッシュアドレス信号を発生し、上記リフレッシュアドレス信号のうちのロウアドレス信号を前記ロウデコーダに供給するアドレスカウンタと、

前記カラムアドレス信号の遷移を検知するために設けられ、所定の制御信号により動作の可否が制御されるカラムアドレス遷移検知回路と、

前記カラムアドレス遷移検知回路の検知出力信号により動作の可否が制御され、前記カラム選択ゲートを介して前記センスアンプとの間でデータを授受するデータ線バッファと、

前記データ線バッファに接続されている読み出し・書き込みデータ線と、

前記読み出し・書き込みデータ線に接続され、前記リフレッシュ制御信号により動作が制御され、前記メモリセルアレイから前記読み出し・書き込みデータ線のうちの読み出しデータ線に読み出されたセルデータを取り込み、その二値レベルとは逆レベルを持つ逆データを前記読み出し・書き込みデータ線のうちの書き込みデータ線に転送する逆データ転送回路と、

(3)

特開2000-11665

3

前記読み出し・書き込みデータ線に接続され、前記送データ転送回路の動作に続いて動作が制御され、前記送データの二値レベルとは逆レベルを持つ元データを前記読み出し・書き込みデータ線のうちの書き込みデータ線に転送する元データ転送回路とを具備することを特徴とする強誘電体メモリ。

【請求項8】 請求項7記載の強誘電体メモリにおいて、

前記リフレッシュ制御信号発生回路は、書き込み動作を許可するための制御信号入力/WEに基づいて生成される内部信号およびチップの動作を許可するための制御信号入力/CEに基づいて生成される内部信号を受け、それらの内部信号が所定の順序で活性化した場合に前記リフレッシュ制御信号を発生することを特徴とする強誘電体メモリ。

【請求項9】 請求項5記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、外部制御信号に基づいたタイミングで前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項10】 請求項5記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、選択されたメモリセルに対する通常のデータ書き込み動作毎に書き込み動作の完了時点から所定の経過時間後に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項11】 請求項5記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、電源電圧の立ち上がり時に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項12】 請求項5記載の強誘電体メモリにおいて、

前記リフレッシュ制御回路は、電源電圧の立ち下がり時に前記リフレッシュ動作を行うように制御することを特徴とする強誘電体メモリ。

【請求項13】 請求項9乃至12のいずれか1項に記載の強誘電体メモリにおいて、

前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を互いに異なるパルス幅のパルスを前記プレート線に印加して行なうことを特徴とする強誘電体メモリ。

【請求項14】 請求項13記載の強誘電体メモリにおいて、

前記リフレッシュ動作におけるデータ読み出し動作よりも反対データ書き込み動作を、パルス幅の長いパルスを前記プレート線に印加して行なうことを特徴とする強誘電体メモリ。

【請求項15】 請求項9乃至12のいずれか1項に記載の強誘電体メモリにおいて、

4

前記リフレッシュ動作における反対データ書き込み動作よりも同一データ書き込み動作を、パルス幅の長いパルスを前記プレート線に印加して行なうことを特徴とする強誘電体メモリ。

【請求項16】 請求項9乃至12のいずれか1項に記載の強誘電体メモリにおいて、

前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を、通常のデータ書き込み動作よりもパルス幅の長いパルスを前記プレート線に印加して行なうことを特徴とする強誘電体メモリ。

【請求項17】 請求項9乃至12のいずれか1項に記載の強誘電体メモリにおいて、

前記リフレッシュ動作における反対データ書き込み動作を複数回繰り返して行なうことを特徴とする強誘電体メモリ。

【請求項18】 請求項9乃至12のいずれか1項に記載の強誘電体メモリにおいて、

前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を、バイアス電位をかけた状態で行なうことを特徴とする強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に係り、特に強誘電体メモリセルのアレイを有する強誘電体メモリ（FRAM）のリフレッシュ制御回路に関するものである。

【0002】

【従来の技術】FRAMは、強誘電体を電極間に用いた二値データ記憶用のキャパシタに直列にスイッチ用のMOSトランジスタが接続されてなるデータ破壊読み出し型の強誘電体メモリセル（FRAMセル）を行列状に配置してなるメモリセルアレイを有する。

【0003】このようなFRAMは、低消費電力の半導体記憶装置として近年盛んに研究開発がなされており、例えば米国特許4,873,664(Eaton, Jr.)や、S.S.Eaton, Jr. et al., "A Ferroelectric DRAM Cell for High Density M-RAMs", ISSCC Digest of Technical Papers, pp.130-131, Feb. 1988等に詳細に記載されている。

【0004】FRAMは、不揮発性のみならず、低消費電力、高速動作、高音換回数を実現できるメモリであることから、汎用メモリの他、無電源ID装置用のカード用メモリとしても期待されている。

【0005】FRAMセルの情報記憶用キャパシタの電極間には、チタン酸バリウムストロンチウム（ $(\text{Ba}, \text{Sr})\text{TiO}_3$ ）、チタン酸ジルコン酸鉛（ $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ；PZT）、ランタノドープチタン酸ジルコン酸鉛（ $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ；PLZT）、ニオブ酸リチウム（ LiNbO_3 ）、ビスマス層状化合物であるストロンチウムタンタレート（ $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ ；SBT）、ビスマス層状化合物であるストロンチウムタンタルナイオベート（ SrBi_4

50

JP,2000-011665,A

☒ STANDARD ☐ ZOOM-UP ROTATION

No Rotation

☐ REVERSAL

(4)

特開2000-11665

5

6

(Ta,Nb), O, ; SBNT) などから構成された強誘電体膜が用いられている。

【0006】これらの強誘電体膜は、電界を印加することによって分極が生じ、印加電圧と分極量との関係はいわゆるヒステリシス特性を呈するものであり、その成膜方法には、MOD法、ゾルゲル法、スパッタ法、CVD法、反応性蒸着法などがある。

【0007】FRAMの信頼性確保上の問題点は、音換え回数、長時間記録保持、耐線性能などが挙げられるが、改善が難しい点の一つにFRAMセルのインプリントという問題がある。このインプリントは、あるデータの書き込み後に、長時間にわたって放置され、または、高温にさらされた場合に、前記データとは分極が反対方向のデータの書き込みが正しく行われないというエラーが生じる現象である。

【0008】このインプリントは、強誘電体膜が長時間にわたって放置され、または高温にさらされると、分極ドメインの周りに分極を安定させる方向で可動性の電荷が集まり、結果的に強誘電体膜に内部電界が発生したような状態になることにより起因する。

【0009】この強誘電体膜に発生した内部電界は一時的に固定されたものであるため、インプリントは素子の破壊や老朽化といったハードエラーに至る現象ではないが、FRAM特有のソフトエラーとして大きな問題になっている。

【0010】

【発明が解決しようとする課題】上記したように従来のFRAMは、強誘電体膜が長時間にわたって放置され、または高温にさらされると、分極ドメインの周りに分極を安定させる方向で可動性の電荷が集まり、結果的に強誘電体膜に内部電界が発生したような状態になることにより起因するインプリントによってソフトエラーが発生するという問題があった。

【0011】本発明は上記の問題点を解決すべくなされたもので、メモリセルに対するリフレッシュ動作を導入することにより、インプリントを抑制し、ソフトエラーの発生を防止し得る強誘電体メモリを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の強誘電体メモリは、強誘電体メモリセルを行列状に配置してなるメモリセルアレイを備えた強誘電体メモリにおいて、所定のタイミングに前記メモリセルアレイにおける任意のメモリセルを選択して、当該選択セルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記選択セルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値データを前記選択セルに再び書き込む同一データ書き込み動作を一連のリフレッシュ動作として行うように制御するリフレッシュ制御回路を具備してい

る。

【0013】本発明の強誘電体メモリは、強誘電体を電極間に用いた二値データ記憶用のキャパシタに直列にスイッチ用トランジスタが接続されてなる強誘電体メモリセルを行列状に配置してなるメモリセルアレイと、前記メモリセルアレイにおける同一行のメモリセルのスイッチ用トランジスタのゲートに共通接続されたワード線と、前記メモリセルアレイにおける同一行のメモリセルのキャパシタのプレート電極に共通接続されたプレート線と、前記メモリセルアレイにおける同一列のメモリセルのスイッチ用トランジスタの一端に共通接続されたビット線と、前記ワード線を選択して駆動するロウデコーダと、前記プレート線を選択して駆動するプレート線駆動回路と、前記メモリセルアレイの各カラムに対応して設けられたセンスアンプと、前記ビット線に接続されたカラム選択ゲートと、カラムアドレス信号をデコードして前記カラム選択ゲートを選択して駆動するカラムデコーダと、所定のタイミングに、前記メモリセルアレイにおける任意のメモリセルを選択して当該選択セルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記選択セルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値データを前記選択セルに再び書き込む同一データ書き込み動作を一連として行うリフレッシュ動作を選択列を変えて繰り返すように制御するリフレッシュ制御回路とを具備している。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。まず、FRAMセルの基本的な構成、特性、書き込み/読み出し原理について説明しておく。

【0015】図1は、FRAMセルの強誘電体キャパシタの電極対間に挟まれたPZT膜等の強誘電体薄膜の印加電界（印加電圧V）と分極Pとの関係（ヒステリシス曲線）を示す特性図である。

【0016】図1に示すヒステリシス特性から分かるように、FRAMセルの強誘電体キャパシタの強誘電体薄膜に電界を印加しない状態、即ち、キャパシタ電極対間の印加電圧V=0(V)の状態での強誘電体薄膜の残留分極Prが「正」であるか「負」であるかによって、FRAMセルは二値データを記憶することができ、このようなFRAMセルのアレイを用いて不揮発性のFRAMを実現している。

【0017】図2(a)は、強誘電体キャパシタに残留分極Prが「正」の状態にデータが書き込まれた後、長時間にわたって放置され、または高温にさらされた場合のヒステリシス特性、図2(b)は強誘電体キャパシタに残留分極Prが「負」の状態にデータが書き込まれた後、長時間にわたって放置され、または高温にさらされた場合のヒステリシス特性をそれぞれ示している。

(5)

特開2000-11665

7

8

【0018】これらのヒステリシス特性は、バイアス電位がかかったかのように中心位置がずれ、かつ、分極方向にもずれを生じている。これは、強誘電体キャパシタがインプリント状態に変化したためである。FRAMセルの通常動作中は、このようなヒステリシス特性のシフトは見られない。

【0019】FRAMセルには、1トランジスタ・1キャパシタからなる1T/1C型の構成と、2トランジスタ・2キャパシタからなる2T/2C型の構成がある。図15(a)は、1T/1C型のFRAMセルの等価回路を示している。

【0020】この1T/1C型のFRAMセルは、1つのスイッチ用のMOSTランジスタQと1つのデータ記憶用の強誘電体キャパシタCとからなり、上記MOSTランジスタQのゲートにワード線WLが接続され、上記MOSTランジスタQの一端（ドレイン）にビット線BLが接続され、上記キャパシタCの一端（プレート）にプレート線PLが接続されている。

【0021】図15(b)は、2T/2C型のFRAMセルの等価回路を示している。この2T/2C型のFRAMセルは、図15(a)のメモリセルを2個用いたものであり、第1のセルのトランジスタQ1の一端に第1のビット線BLが接続され、第2のセルのトランジスタQ2の一端に前記ビット線BLと対をなす第2のビット線／BL（「／」は反転信号を表わす、以下同じ）が接続される。そして、各トランジスタQ1、Q2のゲートに共通にワード線WLが接続され、各キャパシタC1、C2のプレート電極に共通にプレート線PLが接続される。

【0022】上記2本のビット線BL、／BLには、ビット線電位センス増幅用のセンスアンプ（図示せず）、プリチャージ・イコライズ回路（図示せず）などが接続されている。

【0023】図3(a)および図3(b)は、2T/2C型のFRAMセルに二値データの相異なるデータが書き込まれている状態における強誘電体キャパシタの分極の向きを示している。

【0024】図4(a)は、2T/2C型のFRAMセルに対する通常のデータ書き込み時／データ読み出し動作時におけるプレート線印加電圧VPLの波形を示している。

【0025】FRAMセルに対するデータの書き込み、読み出しに際して、例えば0V→3V→0Vと変化するようなパルスを選択されたメモリセルのプレート線PLに印加することにより誘電分極の向きを制御する。

【0026】次に、図3(a)、(b)および図4(a)を参照しながら、前記2T/2C型のFRAMセルのデータ書き込み動作の原理およびデータ読み出し動作の原理について説明する。

【0027】ここで、図3(a)に示すように、キャパ

シタC1に図中上向きの分極（プレート電極からビット線に向かう方向の分極、以下、正分極と記す）、キャパシタC2に図中下向きの分極（ビット線からプレート電極に向かう方向の分極、以下、負分極と記す）が現れている状態をデータ“0”と定義する。

【0028】また、図3(b)に示すように、キャパシタC1に負分極、キャパシタC2に正分極が現れている状態をデータ“1”と定義する。

<データの書き込み> 2T/2C型のFRAMセルのデータの書き込み動作に際しては、初期状態では、プレート線PLを接地電位Vss(0V)に設定し、2本のビット線BL、／BLをそれぞれ0Vにプリチャージしておく。

【0029】（“1”書き込み）まず、2本のビット線BL、／BLのうちの第1のビット線BLを3Vに設定し、ワード線WLに3Vを印加して2個のトランジスタQ1、Q2をオン状態にする。

【0030】これにより、第1のキャパシタC1は、両端間に電位差が生じ、その分極は図1中a点の状態になり、図3(b)に示すように、図中下向きの分極（負分極）が発生する。これに対して、第2のキャパシタC2は、両端間に電位差が生じることがなく、その分極は図1中b点の状態にある。

【0031】次に、プレート線PLを3Vに設定すると、第1のキャパシタC1は、両端間の電位差が0Vになり、その分極は図1中b点の状態になる。これに対して、第2のキャパシタC2は、両端間に電位差が生じ、その分極は図1中c点の状態になり、図3(b)に示すように、図中上向きの分極（正分極）が発生する。

【0032】次に、プレート線PLを0Vに設定すると、第1のキャパシタC1は、両端間に電位差が生じ、その分極は図1中a点の状態になり、第2のキャパシタC2は両端間に電位差が0Vになり、その分極は図1中d点の状態になる。この後、ワード線WLを0Vにして2個のトランジスタQ1、Q2をオフ状態にする。

【0033】以上の動作により、2個のキャパシタC1、C2に互いに逆向きの分極（C1に負分極、C2に正分極）が発生した状態になり、“1”書き込みが実現される。

【0034】（“0”書き込み）上記“1”書き込みとは逆に、まず、2本のビット線BL、／BLのうちの第2のビット線BLを3Vに設定し、ワード線WLに3Vを印加して2個のトランジスタQ1、Q2をオン状態にする。

【0035】これにより、第2のキャパシタC2は、両端間に電位差が生じ、その分極は図1中a点の状態になり、図3(a)に示すように、図中下向きの分極（負分極）が発生する。これに対して、第1のキャパシタC1は、両端間に電位差が生じることがなく、その分極は図1中b点の状態にある。

(5)

特開2000-11665

9

【0036】次に、プレート線PLを3Vに設定すると、第2のキャパシタC2は、両端間の電位差が0Vになり、その分極は図1中b点の状態になる。これに対して、第1のキャパシタC1は、両端間に電位差が生じ、その分極は図1中c点の状態になり、図3(a)に示すように、図中上向きの分極(正分極)が発生する。

【0037】次に、プレート線PLを0Vに設定すると、第2のキャパシタC2は、両端間に電位差が生じ、その分極は図1中a点の状態になり、第1のキャパシタC1は両端間に電位差が0Vになり、その分極は図1中d点の状態になる。この後、ワード線WLを0Vにして、2個のトランジスタQ1、Q2をオフ状態にする。

【0038】以上の動作により、2個のキャパシタC1、C2に互いに逆向きの分極(C1に正分極、C2に負分極)が発生した状態になり、“0”書き込みが実現される。

【0039】<データの読み出し>2T/2C型のFRAMセルのデータの読み出し動作に際しては、2つの誘導電体キャパシタC1、C2に互いに反対方向になった状態で保持されている分極の向きを読み出し、両者の向きの関係から読み出しデータの“1”、“0”を判別する。

【0040】即ち、初期状態では、プレート線PLを0Vに設定し、2本のビット線BL、/BLを0Vにプリチャージしておく。ここで、2個のキャパシタC1、C2には例えば図3(a)に示すように互いに逆向きの分極が発生した状態のデータが書き込まれている場合を想定する。

【0041】まず、プレート線PLを3Vに設定し、ワード線WLに例えば3Vを印加して2個のトランジスタQ1、Q2をオン状態にすると、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転するが、第1のキャパシタC1の分極の向きは反転しない。この2個のキャパシタC1、C2からの読み出し電位がセンスアンプによりセンス増幅されることによって2本のビット線BL、/BLは対応して0V、3Vに設定され、上記センスアンプの出力に基づいて読み出しデータの“1”、“0”を判別する。

【0042】続いて、プレート線PLを0Vに設定すると、第2のキャパシタC2の両端間に電位差が生じてその分極の向きが反転し、第1のキャパシタC1の分極の向きは反転しないので、初期状態に戻る。

【0043】即ち、データ読み出し動作が終わると、FRAMセルのデータは破壊されたままになるので、読み出しデータと同じデータを書き込む動作(再書き込み)を行う。

【0044】なお、前記1T/1C型のFRAMセルに対する書き込み/読み出しは、前述した2T/2C型のFRAMセルに対する書き込み/読み出しと基本的には同様に行われる。1T/1C型のFRAMセルは、1つ

10

の誘導電体キャパシタC1の分極の向きに応じて読み出された信号電圧を、例えばレファレンス用のセルから発生される参照電圧と比較することによってデータを得ることができる。

【0045】次に、本発明の第1の実施の形態に係るFRAMおよびそのリフレッシュ制御方法について説明する。図5および図6は、第1の実施の形態に係るFRAMのカラム系およびロウ系、リフレッシュ制御回路系を概略的に示すブロック図である。

【0046】図7(a)は、図5および図6におけるFRAMリフレッシュ動作モードの設定動作を示すタイミング波形図である。図7(b)は、図5および図6におけるFRAMリフレッシュ動作モード時の内部信号を示すタイミング波形図である。

【0047】図5において、10はデータ破壊読み出し型のFRAMセルを行列状に配置してなるメモリセルアレイ、11は前記メモリセルアレイの各カラムに対応して設けられたセンスアンプ(S/A)、12はカラムデコード(CD)、13は前記カラムデコード12からのデコード信号により前記メモリセルアレイ10のカラム選択を行うカラム選択ゲート(CG)、DQはデータ線である。

【0048】14はカラムアドレス信号が入力するカラムアドレスバッファ、15は前記カラムアドレスバッファ14からのカラムアドレス信号をブリデコードして前記カラムデコード12に入力するカラムブリデコード、16は前記カラムアドレスバッファ14からのカラムアドレス信号の遷移を検知するためのカラムアドレス遷移検知(ATD)回路、/CENBは前記ATD回路16の動作の可否を制御する制御信号(カラムイネーブル信号)、17は前記ATD回路16の検知出力信号により動作の可否が制御され、前記データ線DQおよび前記カラム選択ゲート13を介して前記センスアンプ11との間でデータを授受するデータ線バッファ、RWDは前記データ線バッファ17に接続されている読み出し・書き込みデータ線、18は前記読み出し・書き込みデータ線RWDに接続された入出力(I/O)回路、19は前記読み出し・書き込みデータ線RWDに接続された逆データ転送回路、20は前記読み出し・書き込みデータ線RWDのうちの書き込みデータ線に接続された元データ転送回路である。

【0049】前記逆データ転送回路19は、リフレッシュ制御信号FREFにより動作が制御され、前記メモリセルアレイ10から前記読み出し・書き込みデータ線RWDのうちの読み出しデータ線に読み出されたセルデータを取り込み、その二値レベルとは逆レベルを持つ逆データを前記読み出し・書き込みデータ線RWDのうちの書き込みデータ線に転送するように構成されている。

【0050】また、前記元データ転送回路20は、前記逆データ転送回路19の動作に続いて動作が制御され、

(7)

特開2000-11665

11

前記逆データの二値レベルとは逆レベル（つまり、前記読み出しデータ線に読み出されたセルデータと同じレベル）を待つ元データを前記読み出し・書き込みデータ線RWDのうちの書き込みデータ線に転送するように構成されている。

【0051】図6において、21は書き込み動作を許可するための制御信号入力／WE（ライトイネーブル）を受けて内部信号WINTを生成する／WE入力バッファ回路である。

【0052】22はFRAMチップの動作を許可するための制御信号入力／CE（チップイネーブル）を受けて内部信号CINTを生成する／CE入力バッファ回路である。

【0053】リフレッシュ制御信号発生回路23は、前記信号WINTおよびCINTを受け、それらが所定の順序で活性化したことを検知すると、リフレッシュ動作を開始させるためのリフレッシュ制御信号FREFを発生（活性化）する。

【0054】カウンタアドレス転送回路24は、前記FREFが入力すると、短時間のパルス信号FTRSを生成してアドレスカウンタ25に出力する。アドレスカウンタ25は、FTRSを受けてカウント動作を開始し、リフレッシュアドレス信号を発生する。

【0055】このリフレッシュアドレス信号のうちのロウアドレス信号は、メモリセルアレイ（図5の10）の行を選択するためのロウデコーダ26に入力し、前記リフレッシュアドレス信号のうちのカラムアドレス信号は前記カラムアドレスバッファ（図5の14）に入力する。

【0056】これにより、メモリセルアレイ10は、ロウデコーダ26の出力信号（ワード線駆動信号）により行が順次指定され、ある行が選択されている期間（／CEが活性状態である限り選択される）に前記カラムデコーダ（図5の12）により列（カラム）が高速に順次指定されることになる。

【0057】換言すれば、カラムデコーダ（図5の12）は、前記メモリセルアレイ10における列方向のカラムアドレスを高速にアクセスするためのカラムアクセス制御回路としての機能を有する。

【0058】また、図5および図6において、前記リフレッシュ制御信号発生回路23と、カウンタアドレス転送回路24と、アドレスカウンタ25と、カラムアドレス遷移検知回路16と、データ線バッファ17と、読み出し・書き込みデータ線RWDと、逆データ転送回路19と、元データ転送回路20とは、所定のタイミングに前記セルアレイ10における任意行を選択して当該選択行のメモリセルから二値データを読み出すデータ読み出し動作、読み出された二値データとは論理レベルが反対のデータを前記メモリセルに書き込む反対データ書き込み動作、前記読み出されたデータと同じ論理レベルの二値デ

12

ータを再び書き込む同一データ書き込み動作を一通として順次行うリフレッシュ動作を選択行を変えて繰り返すリフレッシュ制御回路系を構成している。

【0059】図8は、図5および図6の一部を取り出して詳細に示す回路図である。メモリセルアレイは、例えば4個のセルアレイ31、32、33、34に区分され、これらは並列に配置されている。これらのセルアレイ31、32、33、34では、前述したように電極間に誘電体膜を用いた二値データ記憶用のキャパシタに直列にスイッチ用のMOSトランジスタが接続されてなるデータ破壊読み出し型のFRAMセルを行列状に配置してなる。

【0060】WLは前記セルアレイ31、32、33、34における同一行のメモリセルのスイッチ用トランジスタのゲートに共通接続されたワード線（例えばポリシリコン配線）であり、本例では代表的に1本のみ示している。

【0061】PLは前記各セルアレイ31、32、33、34毎に分割して設けられており、同一行のメモリセルのキャパシタのプレート電極に共通接続されたプレート線であり、本例では代表的に1本のみ示している。

【0062】BLは前記各メモリセルアレイ31、32、33、34における同一列のメモリセルのスイッチ用トランジスタの一端に共通接続されたビット線であり、本例では各セルアレイ31、32、33、34毎に代表的に1本のみ示している。

【0063】40は外部から入力されたアドレス信号に応じて複数本のワード線WLのうちの一部を選択してワード線電圧を供給（ワード線を駆動）するロウデコーダ（RD）であり、前記4個のセルアレイ31、32、33、34に共用されている。

【0064】35、36、37、38は前記各セルアレイ31、32、33、34毎に対応して行方向一端側に配置され、前記各メモリセルアレイ31、32、33、34毎に複数本のプレート線PLのうちの一部を選択駆動するプレート線駆動回路（プレートデコーダPD）である。

【0065】41、42、43、44は各セルアレイ31、32、33、34毎に対応して列方向一端側に配置され、各セルアレイ31、32、33、34毎にビット線BLに接続され、読み出し時にビット線に現れた微小電位差を増幅するセンスアンプ（SA）回路である。

【0066】51、52、53、54は前記各セルアレイ31、32、33、34毎にビット線BLに接続され、カラム選択線CSLによりスイッチング制御され、ビット線とデータ線55とを選択的に接続するカラム選択ゲート（CG）回路である。

【0067】56は外部から入力されたアドレス信号に応じて前記カラム選択ゲート回路51、52、53、54を選択し、前記カラム選択線CSLを駆動するカラム

(8)

特開2000-11665

13

14

デコーダ(CD)である。

【0068】57はデータ線55上のデータを増幅するデータ線センスアンプ回路である。図9は、図8中のセルアレイ31、32、33、34と周辺回路の一部を取り出して示す回路図である。

【0069】各プレート線駆動回路35、36、37、38は、二入力のナンド回路とインバータ回路から構成され、各プレート線駆動回路35、36、37、38のインバータ回路は対応するセルアレイ31、32、33、34のプレート線CPL1、CPL2、CPL3、CPL4に電源電圧を供給する。

【0070】各プレート線駆動回路35、36、37、38にそれぞれ対応して列方向にプレート制御線PLC1～PLC4が配列されており、この各プレート制御線PLC1～PLC4は、それぞれ対応してプレート制御線駆動回路62、63、64、65により駆動される。

【0071】そして、前記各プレート線駆動回路35、36、37、38の二入力のナンド回路の一方の入力端に前記プレート制御線駆動回路62、63、64、65が対応して接続され、二入力のナンド回路の他方の入力端にワード線WLが共通に接続されている。

【0072】前記プレート制御線駆動回路62、63、64、65は、二入力のナンド回路とインバータ回路から構成され、上記二入力のナンド回路の一方の入力端にはプレート線駆動イネーブル制御信号PLCが入力し、他方の入力端にはプレート線駆動タイミング信号φおよびそれが遅延ゲート66、67、68により所定の遅延時間D1、D2、D3だけ遅延された信号が対応して入力する。

【0073】これにより、前記プレート制御線駆動回路62、63、64、65は、対応するプレート線駆動回路35、36、37、38を順次駆動して前記セルアレイ31、32、33、34を順次駆動するようになっている。

【0074】図10は、図6中のリフレッシュ制御信号発生回路23の一具体例を示す。図10において、101は前記WE入力バッファ21から入力する信号WINTを反転させる第1のインバータ、102は前記CE入力バッファ22から入力する信号CINTを反転させる第2のインバータ、103は上記第2のインバータ102の出力を反転させる第3のインバータ、104は前記第1のインバータ101の出力が一端に接続し、前記第2のインバータ102、第3のインバータ103から出力する相補信号によりスイッチ制御されるCMOSトランジスタゲート、105は上記CMOSトランジスタゲート104の他端の信号をラッチするラッチ回路、106は上記ラッチ回路105の出力および前記第3のインバータ103の出力が入力するナンド回路、107は上記ナンド回路106の出力を反転させて前記リフレッシュ制御信号FREFを出力する第4のインバータで

ある。

【0075】図11は、図6中のカウンタアドレス転送回路24の一具体例を示す。図11において、111は前記リフレッシュ制御信号発生回路23から入力する信号FREFを遅延させるとともに反転させて反転遅延信号を生成する奇数段の遅延回路、112は前記信号FREFおよび反転遅延信号が入力するナンド回路、113は上記ナンド回路112の出力を反転させて前記パルス信号FTRSを出力する第1のインバータ、114は前記第1のインバータ113の出力を反転させて反転信号/FTRSを出力する第2のインバータである。

【0076】図12は、図6中のアドレスカウンタ回路25の1段分の一具体例を示す。図12において、121～122は相補信号Ci-1、/Ci-1が対応して活性/非活性状態のときに駆動されるクロックインバータ、123～124は前記相補信号Ci-1、/Ci-1およびクロック信号Ci-1により動作が制御されるクロックインバータ、125～127はインバータであり、これらはマスタスレーブ型のフリップフロップ(F/F)を構成しており、次段回路へ相補信号Ci、/Ciを出力する。

【0077】図13は、図5中の逆データ転送回路19の一具体例を示す。図13において、131はビット線BLの充放電などが終了したことを知らせる前記カラムイネーブル信号/CENBを反転させる第1のインバータ、132は前記第1のインバータの出力および前記リフレッシュ制御信号発生回路23からの信号FREFが入力する第1のナンド回路、133は上記第1のナンド回路132の出力を反転させて信号DDWを出力する第2のインバータ、134は前記第2のインバータ133の出力を遅延させるとともに反転させて反転遅延信号を生成する奇数段の遅延回路、135は前記第2のインバータ133の出力および反転遅延信号が入力する第2のナンド回路、136は上記第2のナンド回路135の出力を反転させて逆データ転送制御信号DWを出力する第3のインバータ、137は前記第3のインバータ136の出力を反転させて反転信号/DWを出力する第4のインバータである。

【0078】上記相補信号DW、/DWは、前記読み出し・書き込みデータ線RWDおよびそれと相補対をなす読み出し・書き込みデータ線/RWDにそれぞれ挿入された逆データ転送ゲート用のクロックインバータ138および139をそれぞれスイッチ制御するために用いられる。

【0079】図14は、図5中の元データ転送回路20の一具体例を示す回路図である。図14において、141は前記逆データ転送回路19から入力する前記信号DDWを遅延させる偶数段の遅延回路、142は前記遅延回路141の出力を遅延させるとともに反転させて反転遅延信号を生成する奇数段の遅延回路、143は前記遅延

15

回路141の出力および反転遅延信号が入力するナンド回路144は上記ナンド回路143の出力を反転させて同一データ転送制御信号MWを出力する第1のインバータ145は前記第1のインバータ144の出力を反転させて反転信号/MWを出力する第2のインバータである。

【0080】上記相補信号MW、/MWは、前記読み出し・書き込みデータ線RW Dおよびそれと相補対をなす読み出し・書き込みデータ線/RW Dにそれぞれ挿入された元データ転送ゲート用のクロックインバータ146および147をそれぞれスイッチ制御するために用いられる。

【0081】次に、図5乃至図14に示した第1の実施の形態に係るFRAMのリフレッシュ制御動作を図17を参照して説明する。第1の実施の形態では、FRAM外部から入力される制御信号に基づいたタイミングでリフレッシュ動作を開始するように制御を行なう。

【0082】つまり、図7に示すように、/WEが活性状態（本例では「L」レベル）になった後に/CEが活性状態（本例では「L」レベル）になる動作モード（/WEピフォア/CE）に入ると、図10に示すリフレッシュ制御信号発生回路23がリフレッシュ制御信号REFを出力することによってリフレッシュ動作を開始する。

【0083】これにより、図11に示すカウンタアドレス転送回路24がパルス信号FTRSを出力し、図6中のアドレスカウンタ回路25がカウント動作を開始する。そして、あるロウアドレスが指定された状態でメモリセルアレイ10の行選択が行われた状態でカラムアドレスがC₀、C₁、C₂、C₃、…、C_nと遷移して選択セルが切り替っていく。

【0084】この過程で、選択セルに対して、まず、二値データの読み出し動作を行なう。この場合、ビット線BLの充放電などが終了したことを知らせる前記カラムイネーブル信号/CENBを図5中のATD回路16が受けることにカラム系の回路が動作し、カラムアドレスがラッチされる。

【0085】そして、最初のカラムアドレスC₀の選択セルのデータがデータ線DQに読み出され、さらにデータ線バッファ17を経て読み出し・書き込みデータ線RW Dのうちの読み出しデータ線に転送される。

【0086】このとき、図13に示す逆データ転送回路19は、前記ATD回路16からのカラムイネーブル信号/CENBおよびリフレッシュ制御信号発生回路23からの信号REFに基づいて逆データ転送制御信号DWを出力し、前記読み出しデータ線に読み出された二値データとは論理レベルが反対のデータを書き込みデータ線に送り出す。これにより、選択セルに対する書き込み動作が行なわれる。この時点でデータのインプリント状態、即ち、図2（a）または（b）の状態を、元に戻す

(9)

特開2000-11665

16

かまたは軽減する、即ち、図1の状態に戻すことができる。

【0087】さらに、図14に示す元データ書き込み回路20は、前記逆データ書き込み回路19からの信号DDWに基づいて同一データ転送制御信号MWを出力し、前記読み出しデータ線に読み出されたデータと同じ論理レベルの二値データを書き込みデータ線に送り出す。これにより、選択セルに対する書き込み動作が行なわれる（前記読み出し動作と同じ動作により再書き込みが行なわれる）。

【0088】このような一連の動作（リフレッシュ動作）を、前記カラムアドレスC₀、C₁、C₂、C₃、…、C_nにより選択列を変え、さらに、ロウアドレスにより選択行を変えて繰り返す。

【0089】次に、本発明の第2の実施の形態に係るFRAMのリフレッシュ制御方法の複数の実施例を説明する。

<第1実施例>第1実施例においては、選択されたメモリセルに対する通常のデータ書き込み動作毎に書き込み動作の完了時点から所定の時間経過後にリフレッシュ動作を行うようにリフレッシュ制御回路により制御を行う。

【0090】つまり、FRAMセルを選択し、選択セルに対して、まず、データの読み出し動作を行ない、元のデータの書き込み状態を調べる。その結果に基づいて、反対データの書き込み動作を行なう。この時点でデータのインプリント状態、即ち、図2（a）または（b）の状態を、元に戻すかまたは軽減する、即ち、図1の状態に戻すことができる。さらに、元のデータの再書き込み動作を行ない、一連の動作（リフレッシュ動作）を終了する。

【0091】<第2実施例>第2実施例においては、FRAMを搭載している機器がバックアップ機能を持たない場合を想定し、機器の電源電圧の立ち上げ時（つまり、FRAMの動作電源の立ち上げ時）に前記リフレッシュ動作を行うように前記リフレッシュ制御回路系により制御を行なう。

【0092】FRAMセルに対するデータ書き込み後にそのまま放置される時間として最も長いのは、FRAMを搭載している機器の電源がオフになっている時間であることが多いことを考慮すると、第2実施例は有効である。

【0093】<第3実施例>第3実施例においては、FRAMを搭載している機器がバックアップ機能を持たない場合を想定し、機器の電源電圧の立ち下げ時（つまり、FRAMの動作電源の立ち下げ時）に前記一連の動作（リフレッシュ動作）を行なうように前記リフレッシュ制御回路により制御を行なう。

【0094】これによって、それまでの動作中のインプリント状態を元に戻すかまたは軽減することができ、F

(10)

特開2000-11665

17

RAMセルに対するデータ書き込み後にそのまま放置される時間を、次の電源電圧の立ち上げ時までの時間以内、即ち、最短にできるので、第3実施例は有効である。

【0095】<第4実施例>第4実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を、互いに異なるパルス幅のパルスをプレート線PLに印加して行なうように前記リフレッシュ制御回路により制御を行なう。

【0096】<第5実施例>第5実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作におけるデータ読み出し動作よりも反対データ書き込み動作を、パルス幅の長いパルスをプレート線PLに印加して行なうように前記リフレッシュ制御回路により制御を行なう。これにより、データのインプリント状態の軽減効果を高めることができる。

【0097】<第6実施例>第6実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作における反対データ書き込み動作よりも同一データ書き込み動作を、パルス幅の長いパルスをプレート線PLに印加して行なうように前記リフレッシュ制御回路により制御を行なう。これにより、データのインプリント状態の軽減効果を高めることができる。

【0098】<第7実施例>第7実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を、通常のデータ書き込み動作よりパルス幅が長いパルスをプレート線PLに印加して行なうように前記リフレッシュ制御回路により制御を行なう。

【0099】<第8実施例>第8実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作における反対データ書き込み動作を複数回繰り返して行なうように前記リフレッシュ制御回路により制御を行なう。具体的には、上記したようなデータ読み出し後の反対データ書き込み動作により反対データが書き込まれた選択セルに対し通常のデータ読み出し動作と同様にデータの読み出しおよび再書き込み動作を行わせるように制御すればよい。これにより、データのインプリント状態の軽減効果を高めることができる。

【0100】<第9実施例>第9実施例においては、前記第1実施例乃至第3実施例におけるリフレッシュ動作に際して、前記リフレッシュ動作におけるデータ読み出し動作と反対データ書き込み動作を、バイアス電位をかけた状態で行なうように前記リフレッシュ制御回路により制御を行なう。

18

【0101】この場合には、図4(a)に示した書き込み時のプレート線PLの電位 V_{PL} を、例えば図4(b)、(c)、(d)に示すように nV ($n < 0$)と3Vの間で変化させ、プレート線PLに印加されるパルスの高さを実質的に大きくすることが望ましい。これにより、データのインプリント状態の軽減効果を高めることができる。

【0102】上記した第1の実施例の形態および第2の実施例の形態のFRAMにおいては、前記したFRAMセルのインプリント現象は素子のハードエラーではなくソフトウェアであることに着目し、リフレッシュ制御を行うことによって、FRAMセルの動作上の問題(ソフトウェア)を起こさないようにしたものである。

【0103】上記インプリントは、FRAMセルのキャパシタの内部電界の一時的な固定であるので、キャパシタの分極を反対に向けたり、何回か反転させることで消滅させることが可能である。そのためにリフレッシュ動作をFRAMセルに加えることにより、FRAMの長期信頼性は飛躍的に向上する。

【0104】上記リフレッシュ動作の頻度は、ダイナミックランダムアクセスメモリ(DRAM)のリフレッシュ動作に比べて低くても、十分な効果が得られる。なぜなら、FRAMセルのインプリント状態への状態変化は、DRAMのセルキャパシタにおけるリークによる電荷の消失に比べて、時間にして 10^4 倍以上のゆっくりとした状態変化であるからである。

【0105】また、そもそもFRAMは消費電力が小さく、さらに、前記リフレッシュ動作による消費電力の増大は、FRAMの通常動作時の消費電力と比較して高々1%程度の増大にすぎず、FRAMの通常動作のみの消費電力と比べて無視し得る程度の増大に過ぎないので、DRAMのリフレッシュ動作のように消費電力を左右する動作ではない。

【0106】また、本発明は、電源電圧がオンの時だけに適用しても十分な効果が得られる。換言すれば、本発明を電源電圧の立ち上がり時や立ち下がり時に適用すれば、バックアップ電源を持たない機器で、電源電圧がオフの時にリフレッシュ動作を行わなくともよい。

【0107】従って、FRAMの不揮発性という利点が失われることがない。勿論、本発明をバックアップ電源を持つ機器で、電源電圧がオフの時間にも、一定時間後に適用すればより信頼性が高まり、FRAMの保証温度、保証年数(通常85℃で10年保証)よりさらに向上させることができる。

【0108】さらに、本発明を電源電圧の立ち上がり時や立ち下がり時に適用する場合には、通常、パーソナルコンピュータ等の機器のセットアップに必要な時間内にリフレッシュ動作を行なうことができるので、機器の立ち上げ・立ち下げ時間を左右することがない。

【0109】また、本発明は、前記したようなデータ破

(11)

特開2000-11665

19

壊型のF R A Mに限らず、以下に述べるようなデータ非破壊型のF R A Mに適用しても同様に有効である。次に、本発明の第3の実施の形態として、データ非破壊読み出し型のF R A Mセルを行列状に配置してなるメモリセルアレイを備えたF R A Mに本発明を適用する場合について説明する。

【0110】図16(a)、(b)は、非破壊型メモリセル160の一例の構成と動作原理を説明するために示す等価回路図および断面図である。このセルは、強誘電体をゲート絶縁膜161に用いた強誘電体膜型のM F S F E T (電界効果トランジスタ)のゲート電極162と基板163との間に電圧を印加することにより、ゲート絶縁膜である強誘電体が分極反転し、その分極方向によりトランジスタのドレイン164・ソース165間のチャネル領域に電子または正孔が誘起され、トランジスタの閾値電圧が変化する。この時、ある電圧でのドレイン電流値(チャネル抵抗値)の大小として情報が読み出せる。

【0111】なお、強誘電体膜の種類によっては、界面層が生成して、シリコン基板上でのトラップ準位を制御できない場合があり、この場合には、図17(a)、(b)に等価回路図および断面図を示すようなM F M I S構造の非破壊型メモリセル170を用いることができる。このセルは、基板171と強誘電体ゲート膜172の間にゲート酸化膜173と浮遊ゲート層174を設けたものである。

【0112】上記した非破壊型メモリセルは、そのゲート電極175にワード線W1が接続され、そのドレイン176にビット線B1が接続される。また、非破壊型メモリセルの基板電位を固定するウェル領域はビット線方向に分離されるか、あるいはセルのソース177と共通化される。

【0113】上記非破壊型メモリセルに対するデータ書き込みは、そのゲート電極に接続されているワード線とウェル・ソース間に電圧を印加することによって行なわれる。

【0114】また、上記非破壊型メモリセルからのデータ読み出しは、そのゲート電極に接続されているワード線を選択し、そのドレインに接続されているビット線に接続された電流検出回路によりビット線に流れるセル電流をセンスする。

【0115】上記したようなデータ非破壊読み出し型のメモリセルを用いた強誘電体メモリについても、前記データ非破壊読み出し型のメモリセルを用いた強誘電体メモリの第1実施例および第2実施例に準じてリフレッシュ制御を行うことが可能である。

【0116】

【発明の効果】上述したように本発明によれば、メモリセルに対するリフレッシュ動作を導入することにより、インプリントを抑制し、ソフトエラーの発生を防止し得

20

る強誘電体メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るF R A Mのデータ非破壊型メモリセルの強誘電体キャパシタの印加電圧と分極量との関係(ヒステリシス特性)を示す図。

【図2】図1中のメモリセルのヒステリシス特性がシフトした状態の一例を示す図。

【図3】図1中のF R A Mセルのデータ書き込み動作を説明するために示す等価回路図。

【図4】図1中のF R A Mセルのデータ書き込み/読み出し動作に際して強誘電体キャパシタのプレート電極に印加されるプレート線印加電圧の波形を示す波形図。

【図5】本発明の第1の実施の形態に係るF R A Mのコラム系を概略的に示すブロック図。

【図6】本発明の第1の実施の形態に係るF R A Mのロウ系およびリフレッシュ制御回路系を概略的に示すブロック図。

【図7】図6の回路の動作を示すタイミング波形図。

【図8】図5および図6の一部を取り出して詳細に示す回路図。

【図9】図8中のセルアレイと周辺回路の一部を取り出して示す回路図。

【図10】図6中のリフレッシュ制御信号発生回路の一具体例を示す回路図。

【図11】図6中のカウンタアドレス転送回路の一具体例を示す回路図。

【図12】図6中のアドレスカウンタ回路の一具体例を示す回路図。

【図13】図5中の逆データ転送回路の一具体例を示す回路図。

【図14】図5中の元データ転送回路の一具体例を示す回路図。

【図15】1 T / 1 C型F R A Mセルおよび2 T / 2 C型F R A Mセルを示す等価回路図。

【図16】本発明の第3の実施の形態に係るF R A Mのデータ非破壊型メモリセルの一例を示す回路図。

【図17】本発明の第3の実施の形態に係るF R A Mのデータ非破壊型メモリセルの他の例を示す回路図。

【符号の説明】

- 10…メモリセルアレイ、
- 11…センスアンプ(S/A)、
- 12…コラムデコーダ(CD)、
- 13…コラム選択ゲート(CG)、
- 14…コラムアドレスバッファ、
- 15…コラムブリデコーダ、
- 16…コラムアドレス遷移検知(ATD)回路、
- 17…データ線バッファ、
- 18…入出力回路、
- 19…逆データ転送回路、
- 20…元データ転送回路、

(12)

特開2000-11665

21

22

DQ...データ線。

RWD...読み出し・書き込みデータ線。

21... $\overline{\text{WE}}$ 入力バッファ。22... $\overline{\text{CE}}$ 入力バッファ。

* 23...リフレッシュ制御信号発生回路。

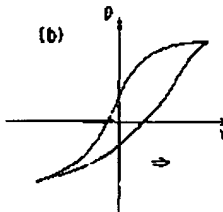
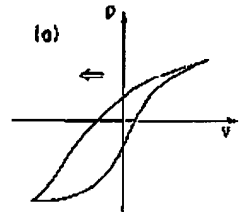
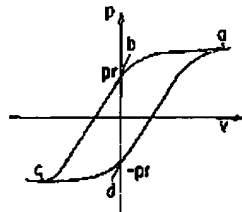
24...カウンタアドレス転送回路。

25...アドレスカウンタ。

* 26...ロウデコーダ。

【図1】

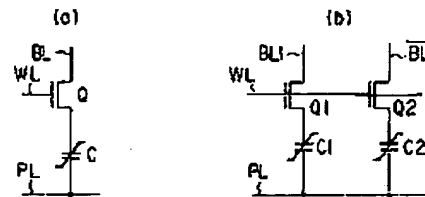
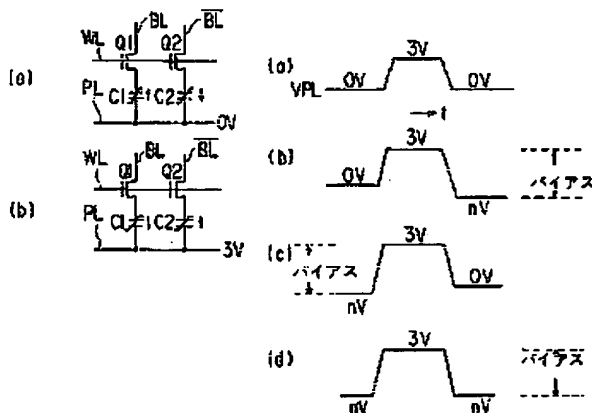
【図2】



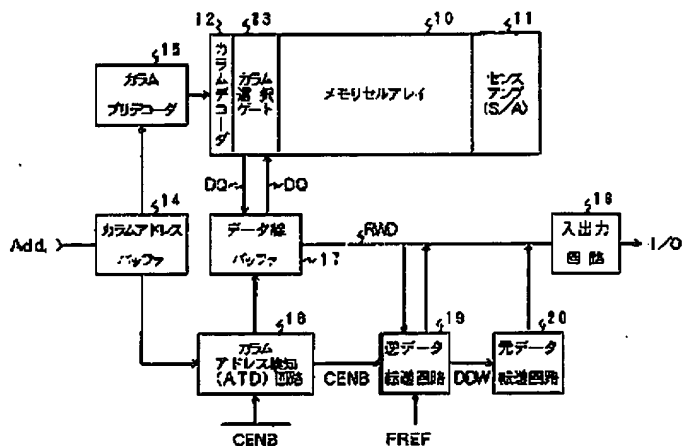
【図3】

【図4】

【図15】



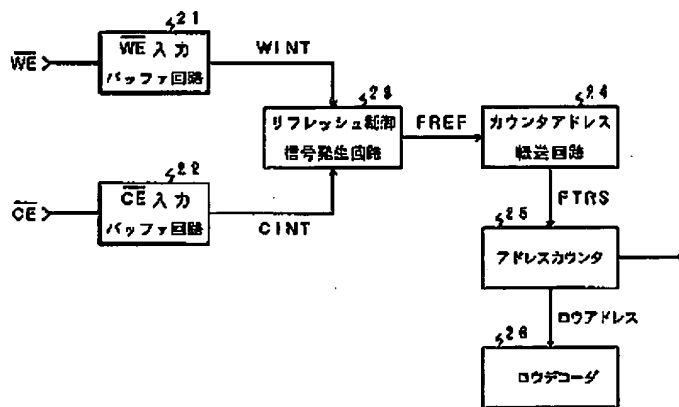
【図5】



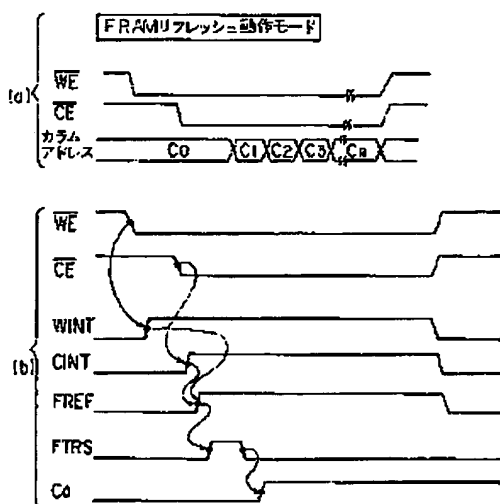
(13)

特開2000-11665

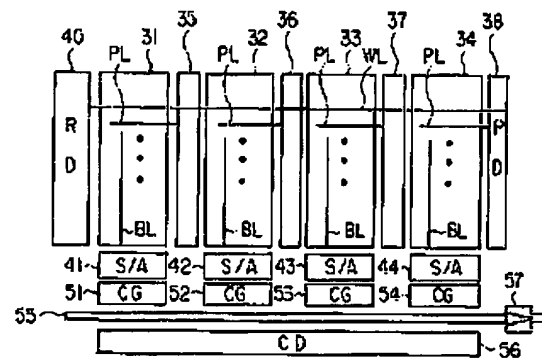
【図6】



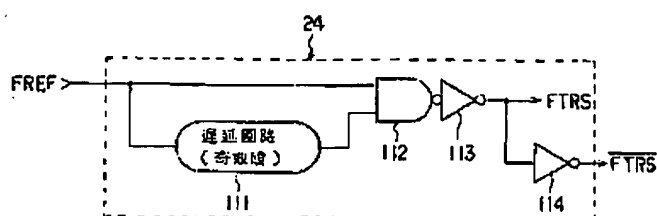
【図7】



【図8】



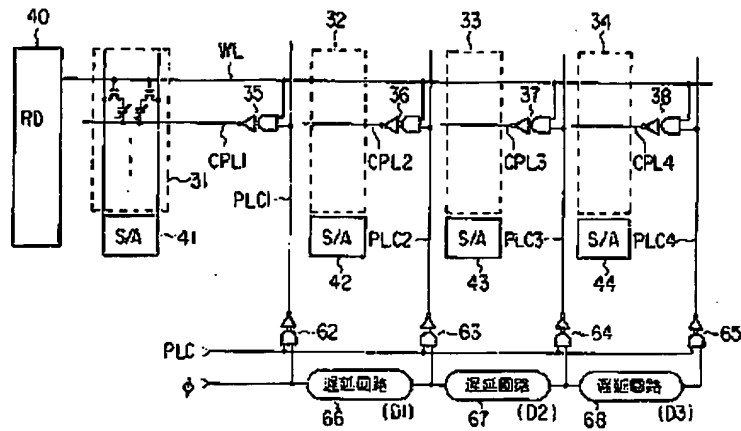
【図11】



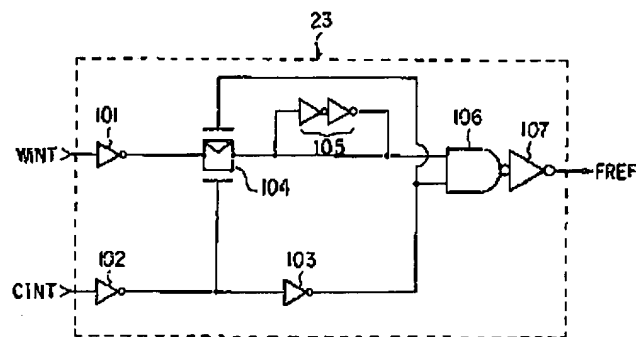
(14)

特開2000-11665

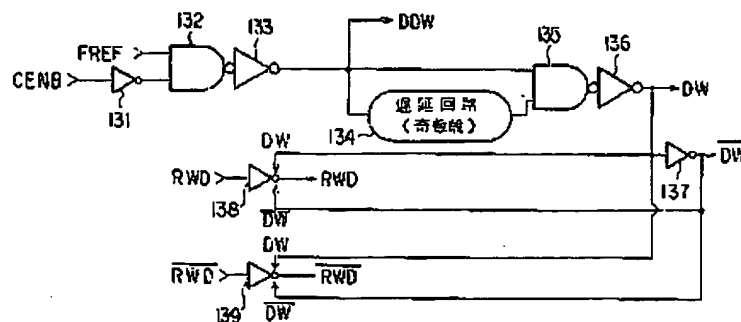
【図9】



【図10】



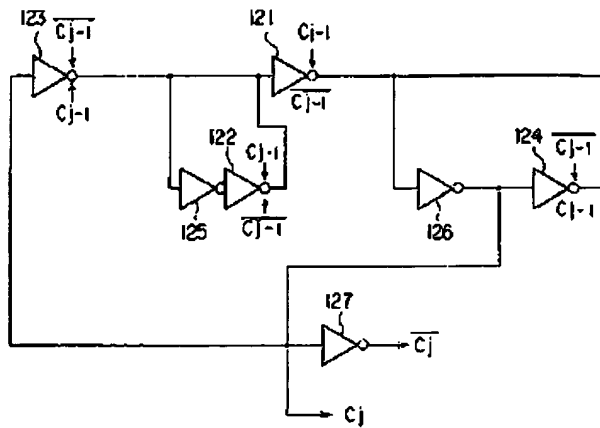
【図13】



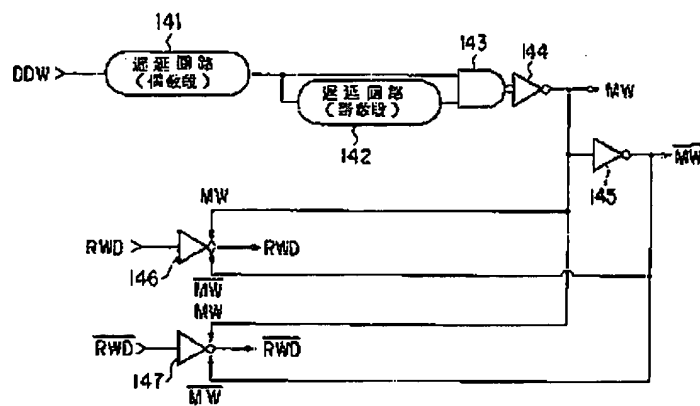
(15)

特開2000-11665

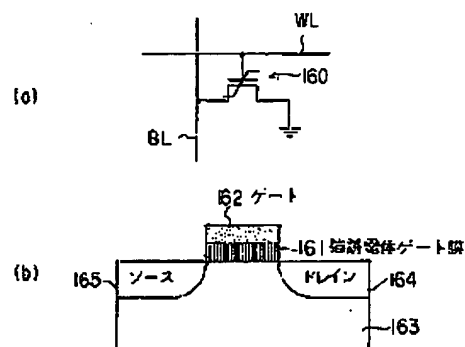
【図12】



【図14】



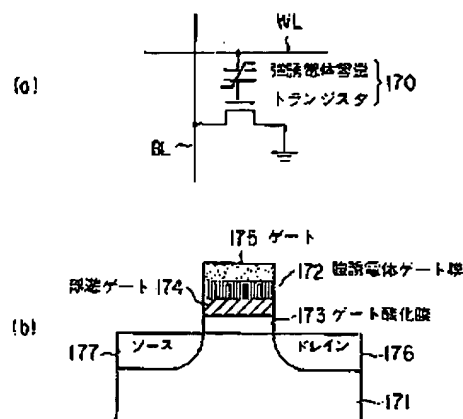
【図16】



(15)

特開2000-11665

【図17】



フロントページの続き

(72)発明者 清水 禎
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社内

(72)発明者 鎌田 実行
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社内
 (72)発明者 望月 博
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社京芝研究開発センター内
 Fターム(参考) 5B024 AA03 BA29 CA07 DA01